

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-287439

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H02M 3/155

(21)Application number : 11-125611

(71)Applicant : TOYOTA AUTOM LOOM WORKS LTD

(22)Date of filing : 06.05.1999

(72)Inventor : TSUJIMOTO YUICHI

(30)Priority

Priority number : 11016394

Priority date : 26.01.1999

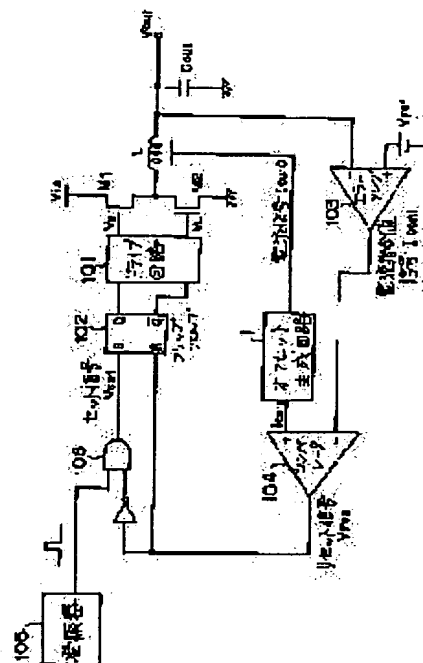
Priority country : JP

## (54) DC/DC CONVERTER AND CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC/DC converter for generating stable output with a small ripple.

SOLUTION: Switches M1 and M2 are turned on and off alternately according to a state of a flip flop 102. The flip flop 102 is set by a set pulse generated periodically by an oscillator 105 and reset by a reset signal generated by a comparator 104. The comparator 104 generates the reset signal when a current signal  $I_{cur0}$  that represents an inductor current becomes larger than a command value signal  $I_{count}$  defined by an output voltage  $V_{out}$ . An offset generating circuit 1 gives offset to the current signal  $I_{cur0}$  while the switch M1 is opened.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-287439  
(P2000-287439A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.<sup>7</sup>  
H 0 2 M 3/155

識別記号

F I  
H 0 2 M 3/155

テーマコード(参考)  
M 5 H 7 3 0

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平11-125611  
(22) 出願日 平成11年5月6日 (1999. 5. 6)  
(31) 優先権主張番号 特願平11-16394  
(32) 優先日 平成11年1月26日 (1999. 1. 26)  
(33) 優先権主張国 日本 (J P)

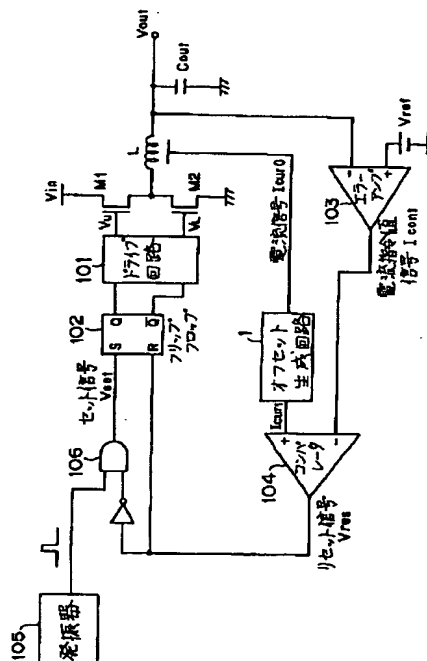
(71) 出願人 000003218  
株式会社豊田自動織機製作所  
愛知県刈谷市豊田町2丁目1番地  
(72) 発明者 辻本 裕一  
愛知県刈谷市豊田町2丁目1番地 株式会  
社豊田自動織機製作所内  
(74) 代理人 100074099  
弁理士 大菅 義之  
Fターム(参考) 5H730 AA04 BB13 BB14 BB57 DD04  
EE10 EE14 FD01 FD31 FD41

(54) 【発明の名称】 DC/DCコンバータおよびその制御回路

(57) 【要約】

【課題】 リップルが小さく安定した出力電圧が得られるDC/DCコンバータを提供する。

【解決手段】 スイッチM1およびM2は、フリップフロップ102の状態に従って交互にターンオンまたはターンオフされる。フリップフロップ102は、発振器105により周期的に生成されるセットパルスによりセットされ、コンパレータ104から出力されるリセット信号によりリセットされる。コンパレータ104は、インダクタ電流を表す電流信号I<sub>cur0</sub>が出力電圧V<sub>out</sub>に基づいて決まる指令値信号I<sub>cont</sub>よりも大きくなったときにリセット信号を生成する。オフセット生成回路1は、スイッチM1が開状態の期間、電流信号I<sub>cur0</sub>にオフセットを与える。



## 【特許請求の範囲】

【請求項1】 電流供給用のスイッチ、およびそのスイッチと出力端子との間に設けられるインダクタを含むDC/DCコンバータであって、

上記スイッチを閉状態にさせるための信号を生成する第1の信号生成回路と、

上記インダクタを介して流れる電流が出力電圧に基づいて決まる指令値よりも大きくなったときに、上記スイッチを開状態にさせるための信号を生成する第2の信号生成回路と、

上記スイッチが開状態となったと同時に、あるいはそれ以降に上記第2の信号生成回路にて比較される入力信号のうちの少なくとも一方にオフセットを与えるオフセット回路と、

を有するDC/DCコンバータ。

【請求項2】 上記オフセット回路は、上記スイッチが閉状態となったと同時に、あるいはそれ以降に上記オフセットを解除する請求項1に記載のDC/DCコンバータ。

【請求項3】 上記オフセット回路は、上記インダクタを介して流れる電流を表す電圧を低下させるオフセットを生成する請求項1に記載のDC/DCコンバータ。

【請求項4】 同時に閉状態にならないように交互にスイッチングされる1組のスイッチ、およびその1組のスイッチと出力端子との間に設けられるインダクタを含むDC/DCコンバータであって、

上記1組のスイッチは、電流供給用の第1のスイッチおよび整流用の第2のスイッチから構成されており、所定間隔ごとに生成されるセット信号に従って、上記第2のスイッチをターンオフするとともに、そのターンオフから所定時間が経過した後に上記第1のスイッチをターンオンする第1の回路と、

上記インダクタを介して流れる電流が出力電圧に基づいて決まる指令値よりも大きくなったときに、上記第1のスイッチをターンオフするとともに、そのターンオフのタイミングから所定時間が経過した後に上記第2のスイッチをターンオンする第2の回路と、

少なくとも上記第2のスイッチがターンオフされるタイミングおよびその近傍の期間において、上記第2の回路により互いに比較される入力信号のうちの少なくとも一方にオフセットを与える第3の回路と、

を有するDC/DCコンバータ。

【請求項5】 上記第2の回路は、上記インダクタを介して流れる電流を表す電圧と上記指令値とを比較するコンパレータを備え、

上記第3の回路は、上記第1のスイッチがターンオフされたタイミングからそのスイッチがターンオンされるタイミングまでの期間、上記インダクタを介して流れる電流を表す電圧を低下させる請求項4に記載のDC/DCコンバータ。

【請求項6】 電流供給用のスイッチ、およびそのスイッチと出力端子との間に設けられるインダクタを含むDC/DCコンバータの出力電圧を制御する制御回路であって、

上記スイッチを閉状態にさせるための第1の状態、または上記スイッチを開状態にさせるための第2の状態のうちのいずれか一方の状態を保持するラッチ回路と、

上記ラッチ回路を上記第1の状態にするためのセット信号を生成するセット信号生成回路と、

10 上記インダクタを介して流れる電流が出力電圧に基づいて決まる指令値よりも大きくなったときに、上記ラッチ回路を上記第2の状態にするためのリセット信号を生成するリセット信号生成回路と、

上記スイッチが閉状態になるタイミングに同期して、上記リセット信号生成回路により互いに比較される入力信号のうちの少なくとも一方にオフセットを与えるオフセット回路と、

を有するDC/DCコンバータの制御回路。

【請求項7】 入力電圧が印加されるインダクタ、及びそのインダクタにエネルギーを蓄積するためのスイッチを含むDC/DCコンバータであって、

上記スイッチを閉状態にさせるための信号を生成する第1の信号生成回路と、

上記インダクタを介して流れる電流が出力電圧に基づいて決まる指令値よりも大きくなったときに、上記スイッチを開状態にさせるための信号を生成する第2の信号生成回路と、

30 上記スイッチが開状態となったと同時に、あるいはそれ以降に上記第2の信号生成回路にて比較される入力信号のうちの少なくとも一方にオフセットを与えるオフセット回路と、

を有するDC/DCコンバータ。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、DC/DCコンバータおよびその制御方法に係わり、特に電流制御方式のDC/DCコンバータに係わる。

【従来の技術】DC/DCコンバータは、あるDC電圧をそのDC電圧と異なるDC電圧に変換する装置であり、様々な分野において使用されている。図8は、従来のDC/DCコンバータの一例の回路図である。このDC/DCコンバータは、PWM（パルス幅変調）方式で動作し、スイッチングレギュレータと呼ばれることがある。また、このDC/DCコンバータは、インダクタに流れる電流をモニタし、その電流に基づいて出力DC電圧を調整する。スイッチM1およびM2は、たとえば、互いに直列に接続された1組のMOSトランジスタであり、それぞれドライブ回路101から与えられる駆動信号VuおよびVlに従ってターンオンまたはターンオフされる。スイッチM1には入力電圧Vinが印加されており、一方、スイッチM2は接地されている。スイッチM

1およびM2は、基本的には、フリップフロップ102の状態に従って交互に閉状態または開状態となる。フリップフロップ102がセット状態のときは、スイッチM1およびM2がそれぞれ閉状態および開状態となり、インダクタLを介して流れるインダクタ電流ILは増加（ランプアップ）してゆく。一方、フリップフロップ102がリセット状態のときは、スイッチM1およびM2がそれぞれ開状態および閉状態となり、インダクタ電流ILは減少（ランプダウン）してゆく。なお、出力コンデンサCoutは、出力電圧を平滑化するために設けられている。このDC/DCコンバータでは、出力電圧Voutおよびインダクタ電流ILがスイッチM1およびM2を制御するためのフィードバック信号として使われる。エラーアンプ103は、出力電圧Vout（あるいは、抵抗R1および抵抗R2から構成される抵抗ネットワークを用いて出力電圧Voutを分圧した電圧）と、予め決められている参照電圧Vrefとの差を増幅して指令値信号Icontとして出力する。コンパレータ104は、インダクタ電流ILを表す電流信号Icurrと、エラーアンプ103から出力される指令値信号Icontとを比較する。そして、コンパレータ104は、その比較結果をリセット信号として出力する。発振器105は、セット信号を生成する。このセット信号は、発振器105の発振周波数に同期したパルス信号である。フリップフロップ102のセット端子には、ANDゲート（片入力負論理ANDゲート）106を介してセット信号が入力され、一方、フリップフロップ102のリセット端子には、コンパレータ104からのリセット信号が入力される。次に、図9を参照しながらDC/DCコンバータの動作を説明する。フリップフロップ102は、発振器105からのセットパルスを受信すると、セット状態になる。フリップフロップ102がセット状態になると、駆動信号VLが「H」から「L」に変化すると共に、駆動信号Vuが「L」から「H」に変化することにより、スイッチM2はターンオフされ、また、スイッチM1はターンオンされる。以降、インダクタ電流ILは増加してゆく。このインダクタ電流ILを表す電流信号Icurrがエラーアンプ103の出力である指令値信号Icontに達すると、コンパレータ104は、その出力を「L」から「H」に切り換える。コンパレータ104の出力は、フリップフロップ102のリセット端子に与えられる。フリップフロップ102は、そのリセット端子において「H」を受信すると、リセット状態となる。フリップフロップ102がリセット状態になると、駆動信号Vuが「H」から「L」に変化すると共に、駆動信号VLが「L」から「H」に変化することにより、スイッチM1はターンオフされ、また、スイッチM2はターンオンされる。以降、インダクタ電流ILは減少してゆく。この後、発振器105により次のセットパルスが生成され、そのセットパルスがフリップフロップ102のセット端子に入力

されると、上記動作が繰り返えられる。すなわち、DC/DCコンバータは、基本的に、発振器105の発振周波数に同期して上記動作を繰り返す。このように、図8に示すDC/DCコンバータでは、出力電圧Voutに基づいて生成される指令値信号Icontを用いてインダクタ電流ILを制御することにより出力電圧Voutが一定の値に保持される。なお、このDC/DCコンバータが保持すべき出力電圧は、参照電圧Vrefによって決められる。なお、スイッチM1およびM2は、基本的には、交互にターンオンまたはターンオフされる。ただし、もし、これら2つのスイッチが同時に閉状態になると、大電流により素子が破壊される恐れがある。このため、駆動信号VuおよびVLは、スイッチM1およびM2が同時に閉状態にならないようにするために、いわゆる「デッドタイム」が与えられている。

【発明が解決しようとする課題】ところが、DC/DCコンバータは、通常、スイッチのターンオンまたはターンオフに伴ってノイズが発生する。そして、このノイズは、しばしば誤動作の原因となる。以下、図10を参照しながら、スイッチング時のノイズに起因する問題点を説明する。時刻T1において、セット信号のセットパルスが生成され、フリップフロップ102のセット端子に与えられる。なお、時刻T1において、ANDゲート106は開いているものとする。フリップフロップ102がこのセットパルスによりセット状態になると、上述したように、以降、インダクタ電流ILが増加してゆく。そして、時刻T2において、このインダクタ電流ILを表す電流信号Icurrが指令値信号Icontに達すると、コンパレータ104の出力（リセット信号）は、「L」から「H」に切り替わる。なお、回路遅延が存在するので、電流信号Icurrが指令値信号Icontを越えてから、リセット信号が実際に「L」から「H」に切り替わるまでには、所定の時間を要する。リセット信号が「H」になると、フリップフロップ102がリセット状態となり、上述したように、以降、インダクタ電流ILは減少してゆく。時刻T3において、次のセットパルスが生成され、フリップフロップ102がリセット状態からセット状態に切り替わると、まず、スイッチM2を制御するための駆動信号VLが「H」から「L」に変化する。これにより、スイッチM2はターンオフされる。一方、スイッチM1を制御するための駆動信号Vuは、デッドタイムが設けられているので、スイッチM1は開状態のままである。スイッチM2がターンオフされると、電流信号Icurrにノイズが加えられる。そして、もし、このノイズにより、電流信号Icurrが指令値信号Icontを越えてしまうと、リセット信号が「L」から「H」に変化する。ところが、上述したように、電流信号Icurrが指令値信号Icontを越えてから、リセット信号が実際に「L」から「H」に切り替わるまでには、所定の時間を要する。したがって、リセット信号は、実際には、時刻

T5において「L」から「H」に切り替わる。一方、スイッチM1を制御するための駆動信号Vuは、時刻T3から「デッドタイム」が経過したタイミング（時刻T4）において、「L」から「H」に切り替わる。したがって、この場合、スイッチM1は、時刻T4においてターンオンされた後、時刻T5において即座にターンオフされる。すなわち、この場合、インダクタ電流ILは、時刻T5以降は、時刻T6において次のセットパルスが生成されるまで減少していく。この後、時刻T6において次のセットパルスが生成されると、フリップフロップ102がリセット状態からセット状態に切り替わり、インダクタ電流ILは、電流信号Icurrが指令値信号Icontに達するまで上昇していく。このように、スイッチM1またはM2を制御するための信号にノイズ等が加えられると、インダクタ電流ILが乱れることがある。すなわち、ノイズが発生していない理想的な状態においては、図9に示したように、インダクタ電流ILは周期的に変化するが、ノイズが発生すると、図10に示すように、インダクタ電流ILが不規則に変化することがある。図10に示す例では、ノイズに起因して生成されるリセットパルスにより、スイッチM1が閉状態である時間が通常動作時と比べて短くなっているため、時刻T3～T6において十分なインダクタ電流ILが流れない。このため、時刻T6以降は、不十分なインダクタ電流ILを補うために、通常動作時よりも長い期間、スイッチM1が閉状態に保持される。この結果、インダクタ電流ILの変動幅が大きくなり、これに伴って、出力電圧Voutの変動（リップル電圧）も大きくなってしまふ。なお、上述の例では、ノイズに起因してリセットパルスが生成される前にスイッチM1を制御するための駆動信号Vuが「L」から「H」に切り替わっているが、「デッドタイム」とコンパレータ104における遅延時間との関係によっては、駆動信号Vuが「L」から「H」に切り替わる前にリセットパルスが生成される。この場合、図8に示すDC/DCコンバータのように、リセット優先回路（ANDゲート106）を備える構成においては、セットパルスはフリップフロップ102には与えられず、結果として、スイッチM1はターンオンされない。この場合においても、一時的にスイッチング周期が長くなるので、結果として出力電圧のリップルが大きくなってしまふ。近年では、負荷が要求するリップルの許容値が厳しくなっているため、DC/DCコンバータの出力電圧のリップルを小さくすることは非常に重要である。本発明の課題は、上記問題を解決することであり、リップルが小さく安定した出力電圧が得られるDC/DCコンバータを提供することである。

【課題を解決するための手段】本発明のDC/DCコンバータは、電流供給用のスイッチ、及びそのスイッチと出力端子との間に設けられるインダクタを含む構成であり、以下の各回路を備える。第1の信号生成回路は上記

スイッチを閉状態にさせるための信号を生成する。第2の信号生成回路は、上記インダクタを介して流れる電流が出力電圧に基づいて決まる指令値よりも大きくなったときに、上記スイッチを開状態にさせるための信号を生成する。オフセット回路は、上記スイッチが開状態となったと同時に、あるいはそれ以降に上記第2の信号生成回路にて比較される入力信号のうちの少なくとも一方にオフセットを与える。上記構成において、インダクタ電流は、スイッチが閉状態の期間は増加してゆき、スイッチが開状態の期間は減少してゆく。ここで、インダクタ電流が出力電圧に基づいて決まる指令値よりも大きくなるのは、基本的には、インダクタ電流が増加している過程で起こり得る。したがって、第2の信号生成回路が上記スイッチを開状態にさせるための信号を生成するのは、本来的には、スイッチが閉状態のときである。すなわち、スイッチが開状態の期間は、本来的には、スイッチを開状態にさせるための信号は生成され得ない。本発明のDC/DCコンバータでは、スイッチが開状態となったと同時にあるいはそれ以降に、第2の信号生成回路により互いに比較される2つの入力信号（すなわち、インダクタ電流を表す信号、および指令値）のうちの少なくとも一方にオフセットが与えられる。ここで、インダクタ電流を表す信号にノイズが乗ったとしてもそれが指令値に達しないようなオフセットが与えられるように設計すれば、本来的には生成されることのない期間に誤ってスイッチを開状態にさせるための信号が生成されることが回避される。この結果、インダクタ電流が安定し、出力電圧のリップルも小さくなる。

【発明の実施の形態】図1は、本発明の一実施形態のDC/DCコンバータの回路図である。図1において、図8で使用した符号は、同じものを表す。本実施形態のDC/DCコンバータは、図8に示したDC/DCコンバータに対して、オフセット生成回路1を追加することにより実現される。このオフセット生成回路1は、インダクタ電流ILを表す電流信号Icur0に対して所定のタイミングでオフセットを与える回路である。すなわち、オフセット生成回路1は、コンパレータ104において電流指令値信号Icontと比較される電流信号Icur0に対して所定のタイミングでオフセットを加える。なお、以下では、インダクタ電流ILを表す信号を「電流信号Icur0」と呼び、オフセット生成回路1によりオフセットが与えられた信号を「電流信号Icur1」と呼ぶことにする。コンパレータ104は、この電流信号Icur1と電流指令値信号Icontとを比較する。次に、図2を参照しながら、本実施形態のDC/DCコンバータの動作を説明する。なお、本実施形態のDC/DCコンバータにおいて、スイッチM1およびM2をターンオンまたはターンオフするための信号を生成する構成（エラーアンプ103、コンパレータ104、発振器105等）は、図8に示した従来のDC/DCコンバータと同じである。時刻

T1において、発振器105によりセット信号のセットパルスが出力される。このセットパルスは、フリップフロップ102のセット端子に入力される。なお、ANDゲート106は、時刻T1において開いているものとする。また、スイッチM1およびM2は、時刻T1において、それぞれ開状態および閉状態であるものとする。フリップフロップ102は、このセットパルスによりセット状態になり、そのQ出力が「H」になる。フリップフロップ102のQ出力が「H」になると、まず、スイッチM2がターンオフされて開状態になり、その後、時刻T2においてスイッチM1がターンオンされて閉状態になる。このターンオフとターンオンのタイミングの差が「デッドタイム」である。時刻T2においてスイッチM1がターンオンされると、以降、インダクタ電流ILが増加してゆく。そして、これに伴って、電流信号I<sub>cur0</sub>も上昇してゆく。なお、後述詳しく説明するが、オフセット生成回路1は、スイッチM1を制御するための駆動信号Vuに同期して動作し、駆動信号Vuが「H」の期間はオフセットとして電流信号I<sub>cur0</sub>に対して「0」を与え、駆動信号Vuが「L」の期間は電流信号I<sub>cur0</sub>に対して所定の値のオフセットを与える。したがって、図2に示す例では、時刻T2以降は、駆動信号Vuが「H」から「L」に切り替わるまでの間、オフセット生成回路1は、電流信号I<sub>cur0</sub>をそのまま電流信号I<sub>cur1</sub>として出力する。時刻T3において、電流信号I<sub>cur1</sub>が指令値信号I<sub>cont</sub>に達すると、コンパレータ104の出力(リセット信号)は、「L」から「H」に切り替わる。このリセット信号が「H」になると、ANDゲート106が閉じられると共に、フリップフロップ102がリセット状態となる。ANDゲート106が閉じられると、セット信号がフリップフロップ102に入力されることが阻止される。尚、ANDゲート106は、電流信号I<sub>cur1</sub>が指令値信号I<sub>cont</sub>よりも小さくなると開かれる。フリップフロップ102がリセット状態になると、そのQ出力が「L」となり時刻T4において駆動信号Vuが「H」から「L」に切り替わる。そして、その後、駆動信号Vuが「L」から「H」に切り替わる。これにより、スイッチM1がターンオフされて開状態になると共に、スイッチM2がターンオンされて閉状態になる。この結果、インダクタ電流ILは、以降、減少してゆく。尚、電流信号I<sub>cur1</sub>が指令値信号I<sub>cont</sub>に達してから、駆動信号Vuが「H」から「L」に切り替わるまでの時間は、コンパレータ104の動作遅延等により生じる。時刻T4において駆動信号Vuが「H」から「L」に切り替わると、オフセット生成回路1は、電流信号I<sub>cur0</sub>に対してオフセットV<sub>offset</sub>を与える。具体的には、例えば、電流信号I<sub>cur1</sub>は、電流信号I<sub>cur0</sub>の電圧を「V<sub>offset</sub>」だけ低下させることにより得られる。時刻T4以降、インダクタ電流ILが減少してゆくと、これに伴って、電流信号I<sub>cur0</sub>および電流信号I<sub>cur1</sub>も低

下していく。発振器105は、時刻T5において、次のセットパルスを生成する。このセットパルスによりフリップフロップ102がセット状態となると、駆動信号Vuは再び「H」から「L」に切り替わり、これによりスイッチM2がターンオフされる。このターンオフによるノイズは、電流信号I<sub>cur0</sub>および電流信号I<sub>cur1</sub>に乗せられる。ところが、時刻T5においては、電流信号I<sub>cur1</sub>は、オフセット生成回路1により電流信号I<sub>cur0</sub>よりも「V<sub>offset</sub>」だけ低下させられている。このため、時刻T5においてノイズが発生したとしても、電流信号I<sub>cur1</sub>は指令値信号I<sub>cont</sub>に達することはなく、リセット信号は「L」のままである。すなわち、ノイズに起因する誤ったリセット信号は生成されない。駆動信号Vuが「H」から「L」に切り替わったときから「デッドタイム」が経過すると、時刻T6において駆動信号Vuが「L」から「H」に切り替わる。駆動信号Vuが「L」から「H」に切り替わると、スイッチM1がターンオンされて閉状態になると共に、オフセット生成回路1は、電流信号I<sub>cur0</sub>に与えるオフセットを「0」にする。時刻T6以降の動作は、前述した時刻T2～時刻T5の動作と同じである。すなわち、スイッチM1およびM2は、フリップフロップ102の状態に従ってターンオンまたはターンオフされる。フリップフロップ102は、発振器105により周期的に生成されるセットパルスによりセットされ、コンパレータ104から出力されるリセット信号によりリセットされる。コンパレータ104は、スイッチM1が閉状態の期間は、インダクタ電流ILを表す電流信号I<sub>cur0</sub>と指令値信号I<sub>cont</sub>との比較結果に基づいてリセット信号を生成し、一方、スイッチM1が開状態の期間は、電流信号I<sub>cur0</sub>をオフセットV<sub>offset</sub>だけ低下させることによって得られる電流信号I<sub>cur1</sub>と指令値信号I<sub>cont</sub>との比較結果に基づいてリセット信号を生成する。このように、本実施形態のDC/DCコンバータでは、図8に示した従来のDC/DCコンバータと異なり、リセット信号の生成に係わる信号がノイズの影響を受けないようにしたので、スイッチM1及びM2は、発振器105の発振周波数に同期した一定のスイッチング周波数で動作する。この結果、インダクタ電流ILは周期的に変化するようになり、出力電圧V<sub>out</sub>のリップルも小さくなる。また、スイッチM1およびM2のスイッチングに伴って発生するノイズの周波数も一定となり、その除去が容易になる。さらに、インダクタ電流ILの上昇過程では、オフセットは「0」なので、既存のDC/DCコンバータと同じ電流値においてリセット信号が生成されることになる。このため、既存のDC/DCコンバータに対して単にオフセット生成回路1を追加するだけで本実施形態のDC/DCコンバータが得られる。図3は、オフセット生成回路1の回路図である。オフセット生成回路1は、定電流源2および抵抗

体から構成される。定電流源 2 は、スイッチ M1 を制御するための駆動信号  $V_u$  により制御される。すなわち、定電流源 2 は、駆動信号  $V_u$  が「H」である期間は電流を流さず、駆動信号  $V_u$  が「L」である期間には電流  $I_{offset}$  を流す。したがって、電流信号  $I_{cur1}$  の電位は、スイッチ M1 が閉状態の期間は、実質的に電流信号  $I_{cur0}$  と同じ電位であり、スイッチ M1 が開状態の期間は、電流信号  $I_{cur0}$  の電位を「 $R_{offset} \cdot I_{offset}$ 」だけ低下させた電位となる。なお、オフセットの大きさは、上記構成から明らかなように、定電流源 2 によって生成される電流、および抵抗体の抵抗値により決定される。図 4 は、本発明の他の形態の DC/DC コンバータの回路図である。図 1 に示した DC/DC コンバータは、電流信号  $I_{cur0}$  にオフセットを与える構成であったが、この DC/DC コンバータは、指令値信号  $I_{cont}$  に対してオフセットを与える構成である。オフセットは、オフセット生成回路 11 により生成される。図 5 は、図 4 に示す DC/DC コンバータの動作を説明する図である。基本的な動作は、図 1 に示した DC/DC コンバータと同じである。オフセット生成回路 11 は、スイッチ M1 が閉状態の期間は、エラーアンプの出力である指令値信号  $I_{cont}$  をそのままコンパレータ 104 に与え、スイッチ M1 が開状態の期間は、指令値信号  $I_{cont}$  にオフセットを与えた後にその信号をコンパレータ 104 に与える。この結果、スイッチ M2 のターンオフのタイミング（駆動信号  $V_L$  が「H」から「L」に切り替わるタイミング）においては、コンパレータ 104 に与えられる指令値信号  $I_{cont}$  の電位はエラーアンプ 103 の出力電圧よりも高くなっており、スイッチ M2 のターンオフに起因してノイズが発生しても、コンパレータ 104 における比較動作には影響が及ばない。したがって、ノイズに起因するリセット信号の生成が回避され、図 1 に示した DC/DC コンバータと同様に、安定したインダクタ電流  $I_L$  が得られ、出力電圧  $V_{out}$  のリップルが小さくなる。なお、上述の実施例では、降圧型の DC/DC コンバータを採り上げたが、本発明は、これに限定されるものではなく、たとえば、昇圧型の DC/DC コンバータにも適用可能である。図 6 は、既存の一般的な電流制御方式の昇圧型 DC/DC コンバータの回路図である。この昇圧型 DC/DC コンバータの構成は、図 8 に示した降圧型の DC/DC コンバータと類似する点が多い。すなわち、ドライブ回路 201、フリップフロップ 202、エラーアンプ 203、コンパレータ 204、発振器 205、AND ゲート 206 は、図 8 に示したドライブ回路 101、フリップフロップ 102、エラーアンプ 103、コンパレータ 104、発振器 105、AND ゲート 106 にそれぞれ相当する。図 6 に示す昇圧型 DC/DC コンバータでは、インダクタ L に入力電圧  $V_{out}$  が印加される。そして、インダクタ L と接地との間にスイッチ M3 が設けられ、また、そのインダクタ L と出力端子

との間にスイッチ M4 が設けられる。スイッチ M3 および M4 は、フリップフロップ 202 の状態に従って制御される。すなわち、フリップフロップ 202 がセット状態のときは、スイッチ M3 が閉状態に保持されると共にスイッチ M4 は開状態に保持され、一方、フリップフロップ 202 がリセット状態のときは、スイッチ M3 が開状態に保持されると共にスイッチ M4 は閉状態に保持される。なお、スイッチ M4 には、それに並列にダイオードが接続されており、また、出力端子には、出力コンデンサ  $C_{out}$  が設けられている。上記構成の昇圧型 DC/DC コンバータにおいて、発振器 205 によりフリップフロップ 202 をセットするためのセット信号が生成される手順、インダクタ L を介して流れるインダクタ電流が出力電圧  $V_{out}$  に基づいて生成される電流指令値を超えたときにフリップフロップ 202 をリセットするためのリセット信号が生成される手順、およびセット信号およびリセット信号に従ってフリップフロップ 202 がセットまたはリセットされる手順は、基本的に、図 8 を参照しながら説明した方法と同じである。ただし、昇圧型 DC/DC コンバータでは、フリップフロップ 202 がセット状態の期間に、スイッチ M3 が開状態に保持されると共にスイッチ M4 は閉状態に保持され、インダクタ L にエネルギーが蓄積されてゆく。また、フリップフロップがリセット状態になると、スイッチ M3 が開状態に保持されると共にスイッチ M4 は閉状態に保持され、インダクタ L に蓄積されたエネルギーがスイッチ M4 を介して出力端子に供給される。上記昇圧型 DC/DC コンバータにおいても、既存の降圧型 DC/DC コンバータと同様に、図 10 を参照しながら説明した問題が発生し得る。すなわち、スイッチングノイズの影響により、誤動作が起り得る。図 7 は、本発明が適用された昇圧型の DC/DC コンバータの回路図である。この DC/DC コンバータは、図 7 に示した DC/DC コンバータに対して、オフセット生成回路 21 を追加することにより実現される。このオフセット生成回路 21 は、インダクタ電流  $I_L$  を表す電流信号  $I_{cur0}$  に対して所定のタイミングでオフセットを与えることにより電流信号  $I_{cur1}$  を生成する。したがって、コンパレータ 204 は、この電流信号  $I_{cur1}$  と電流指令値信号  $I_{cont}$  とを比較することになる。オフセット回路 21 は、基本的に、図 1 に示した降圧型 DC/DC コンバータに設けられるオフセット回路 1 と同じであり、スイッチ M3 を駆動するための駆動信号  $V_u$  により制御される。なお、図 7 に示す DC/DC コンバータは、電流信号  $I_{cur0}$  に対してオフセットを与えるためにオフセット回路 21 を有するが、他の実施形態として、オフセット回路 21 の代わりに、電流指令値信号  $I_{cont}$  に対してオフセットを与える回路を設ける構成であってもよい。すなわち、昇圧型の DC/DC コンバータにおいても、コンパレータ 204 に入力される一方の信号に対して正のオフセットを与える代わり

に、他方の信号に対して負のオフセットを与えるようにしてもよい。

【発明の効果】インダクタ電流とその指令値との比較結果に基づいて電流供給用のスイッチが制御されるDC/DCコンバータにおいて、インダクタ電流を表す信号にノイズが乗ったとしてもその影響がスイッチの制御に及ばないようにしたので、インダクタ電流が安定し、出力電圧のリップルが小さくなる。

【図面の簡単な説明】

【図1】本発明の一実施形態のDC/DCコンバータの回路図である。

【図2】本実施形態のDC/DCコンバータの動作を説明する図である。

【図3】オフセット生成回路の回路図である。

【図4】本発明の他の形態のDC/DCコンバータの回路図である。

【図5】図4に示すDC/DCコンバータの動作を説明する図である。

\*

\*【図6】一般的な昇圧型のDC/DCコンバータの回路図である。

【図7】本発明が適用された昇圧型のDC/DCコンバータの回路図である。

【図8】従来のDC/DCコンバータの一例の回路図である。

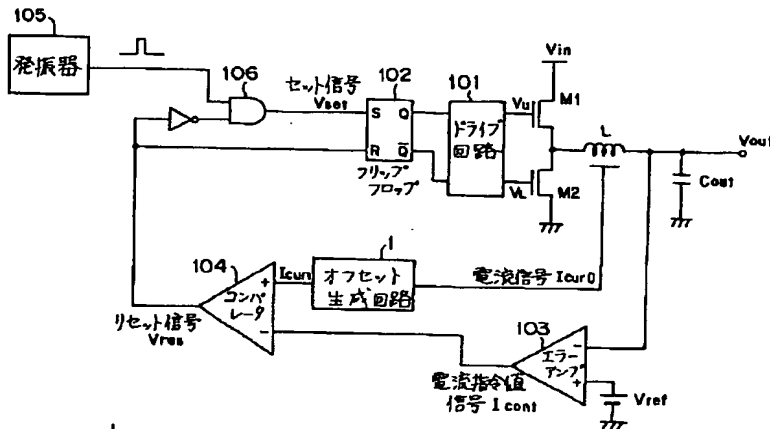
【図9】図8に示した従来のDC/DCコンバータの基本動作を説明する図である。

【図10】図8に示した従来のDC/DCコンバータの問題点を説明する図である。

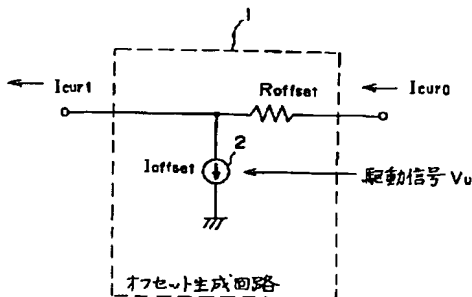
【符号の説明】

- 1、11、21 オフセット生成回路
- 2 定電流源
- 101、201 ドライブ回路
- 102、202 フリップフロップ
- 103、203 エラーアンプ
- 104、204 コンパレータ
- 105、205 発振器

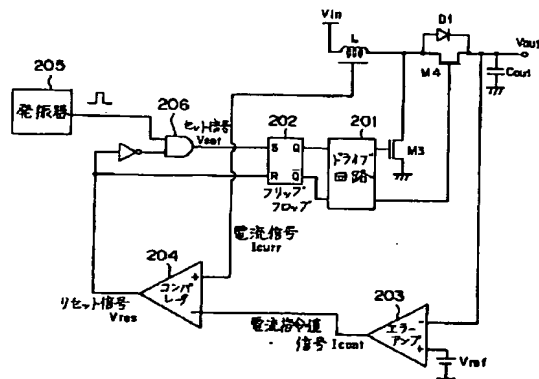
【図1】



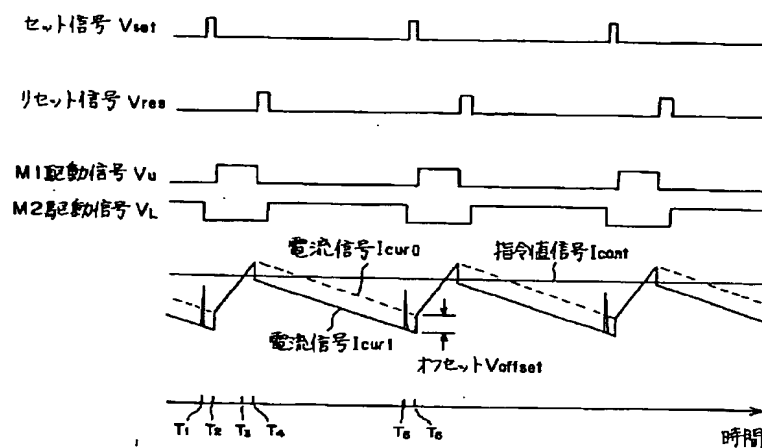
【図3】



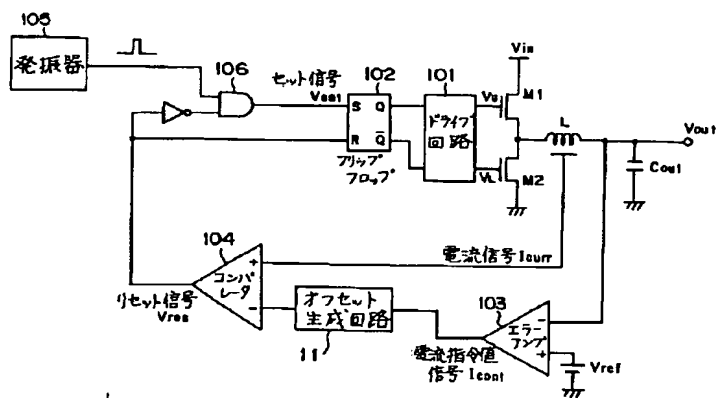
【図6】



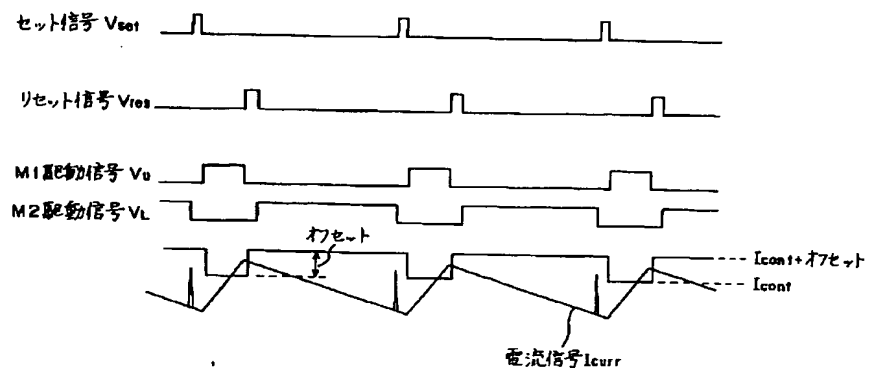
【図2】



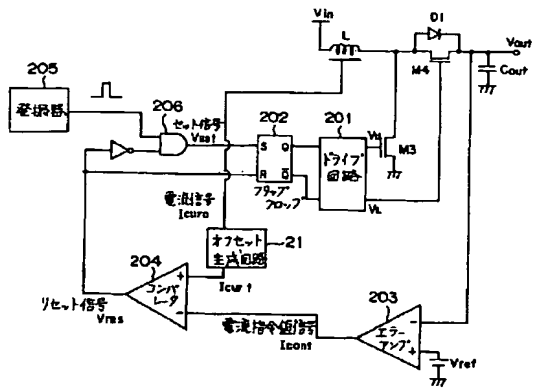
【図4】



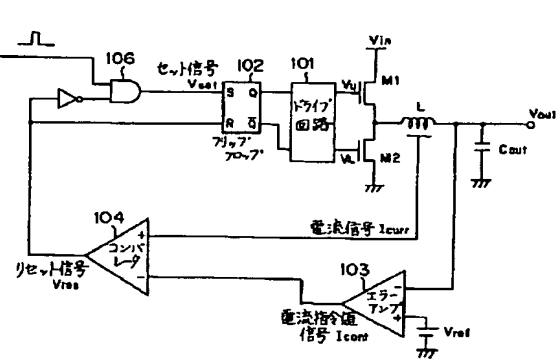
【図5】



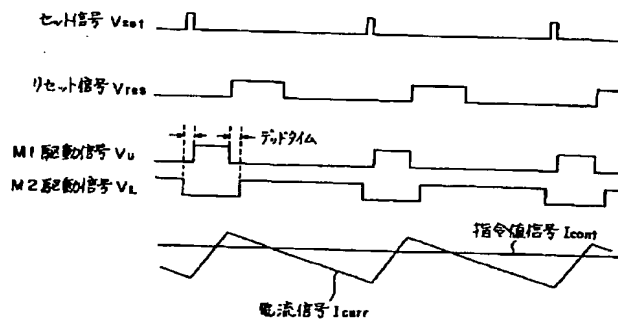
【図7】



【図8】



【図9】



【図10】

